

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2003031649 A**(43) Date of publication of application: **31.01.03**

(51) Int. Cl.

H01L 21/76
H01L 21/316
H01L 21/768

(21) Application number: **2001213564**(22) Date of filing: **13.07.01**(71) Applicant: **TOSHIBA CORP**

(72) Inventor: **OGIWARA HIROTAKA**
NISHIYAMA YUKIO
KAJI SHIGEHICO

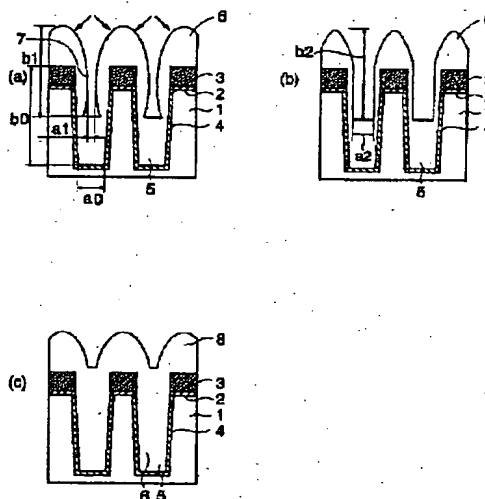
(54) **METHOD FOR MANUFACTURING
 SEMICONDUCTOR DEVICE**

(57) Abstract:

PROBLEM TO BE SOLVED: To fill an isolation trench having a high aspect ratio, the gap between wiring layers and the gap between electrodes without generating any void.

SOLUTION: When a trench 5 made in a semiconductor substrate 1 with a high aspect ratio is filled with a silicon oxide film 6, a film is deposited by HDP-CVD by such a degree as the front is not choked by an overhang 7 and then the front is enlarged by removing the overhang 7 selectively by isotropic etching. Subsequently, the trench is filled again with a silicon oxide film 8 by HDP-CVD thus filling the trench without generating any void.

COPYRIGHT: (C)2003,JPO



THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-31649

(P2003-31649A)

(43) 公開日 平成15年1月31日(2003.1.31)

(51) Int.Cl. ⁷	識別記号	F I	テームコード(参考)
H 0 1 L	21/76	H 0 1 L	X 5 F 0 3 2
	21/316		L 5 F 0 3 3
	21/768		J 5 F 0 5 8

審査請求 未請求 請求項の数 7 O L (全 5 頁)

(21) 出願番号 特願2001-213564(P2001-213564)

(22) 出願日 平成13年7月13日(2001.7.13)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 荻原博隆

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 西山幸男

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100075812

弁理士 吉武 賢次 (外4名)

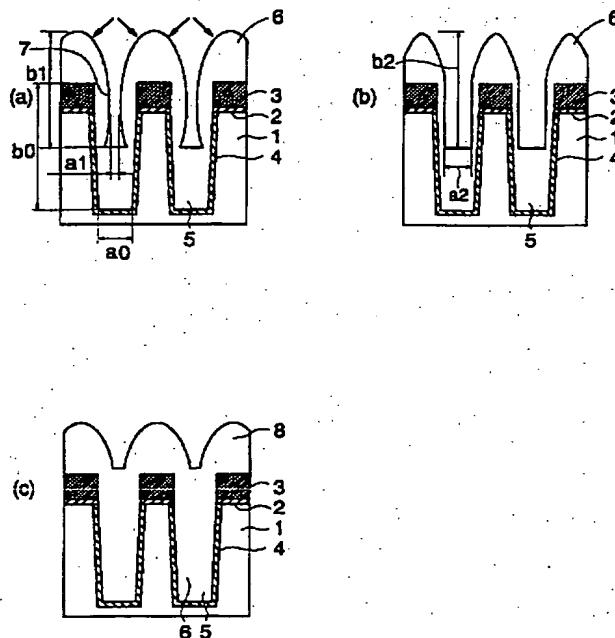
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 アスペクト比の高い素子分離溝や、配線層間、電極間を、ボイドの発生を招くことなく埋め込む。

【解決手段】 半導体基板1に形成された高アスペクト比の溝5をシリコン酸化膜6で埋め込む際に、オーバーハング7によって間口が塞がらない程度までHDP-CVDにより成膜した後、等方性エッチングにより側壁部のオーバーハング7を選択的に除去して間口を広げた後、再びHDP-CVDによりシリコン酸化膜8で埋め込むことにより、ボイドの発生を招くことなく埋め込むことができる。



【特許請求の範囲】

【請求項1】半導体基板に設けられた溝、あるいは半導体基板上に形成された膜パターンによる凹凸部を表面に有する基板面の凹部に絶縁膜を埋め込む半導体装置の製造方法において、

前記凹部を途中の段階まで埋め込むように前記絶縁膜を堆積する第1の堆積工程と、

前記絶縁膜により形成されたオーバハングをエッチングにより除去するエッチング工程と、

前記エッチング工程の後に、さらに前記凹部を埋めるように前記絶縁膜を堆積する第2の堆積工程と、

を備えることを特徴とする半導体装置の製造方法。

【請求項2】前記エッチング工程では、前記凹部の側面に形成された前記絶縁膜をエッチングする速度と、前記凹部の底面に形成された前記絶縁膜をエッチングする速度とが略等しいことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】前記エッチング工程では、前記絶縁膜が埋め込まれた前記凹部のアスペクト比が前記第1の堆積工程により前記絶縁膜が埋め込まれる前の前記凹部におけるアスペクト比以下に、エッチングによって低下した段階でこのエッチングを停止することを特徴とする請求項1又は2記載の半導体装置の製造方法。

【請求項4】前記エッチング工程では、前記凹部の側面に形成された前記絶縁膜が残存する段階でエッチングを停止することを特徴とする請求項1乃至3のいずれかに記載の半導体装置の製造方法。

【請求項5】前記第1の堆積工程では、前記絶縁膜が堆積されて形成されたオーバハングが間口を塞がない段階で前記絶縁膜の堆積を停止することを特徴とする請求項1乃至4のいずれかに記載の半導体装置の製造方法。

【請求項6】前記第1、第2の堆積工程では、シリコン酸化膜を高密度プラズマ化学的気相成長法により堆積することを特徴とする請求項1乃至5のいずれかに記載の半導体装置の製造方法。

【請求項7】前記エッチング工程では、等方性エッチングを用いることを特徴とする請求項1乃至6のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に係わり、特に半導体基板の表面部分に形成した溝、あるいは基板上に形成した配線層、電極等の膜パターン間を絶縁膜で埋め込む方法に関する。

【0002】

【従来の技術】半導体装置の微細化、高密度化に伴い、素子分離用に形成した溝、あるいは基板上に導電膜パターンとして形成した配線層間や電極間等の凹部を絶縁膜により埋め込む工程において、高アスペクト比の段差形状を埋め込むための優れた埋め込み特性が要求されてい

る。

【0003】近年このような要求に対し、基板にバイアス電圧を印加してイオンを基板側に引き込みながら酸化シリコン系絶縁膜を形成するプラズマCVDが用いられ始めている。例えば、素子分離用の溝を絶縁膜で埋め込む素子分離(STI;Shallow Trench Trench Isolation)においては、高密度プラズマ(HDP;high density plasma)CVD(chemical vapor deposition)を用いて素子分離用の溝を無添加シリコン酸化膜(SiO_2)で埋め込む技術が実用化されつつある。

【0004】図3に、素子分離用の溝を埋め込む従来の方法を工程別に示す。図3(a)に示されるように、半導体基板101の表面上に熱酸化法によりシリコン酸化膜102を形成する。

【0005】図3(b)のように、シリコン窒化膜103を堆積する。このシリコン窒化膜103にパターニングを行い、溝形成用のマスクを得る。

【0006】図3(c)のように、シリコン窒化膜103をマスクとして半導体基板101にRIE(Reactive Ion Etching)等のエッチングを行い、溝105を形成する。溝105の側壁及び底面に熱酸化法によりシリコン酸化膜104を形成する。

【0007】図3(d)に示されたように、溝105を埋めるように、HDP-CVD法によりシリコン酸化膜106を堆積していく。

【0008】ところが、シリコン酸化膜106を堆積していく過程において、堆積とスパッタリングとが同時に起こるため、矢印Aで示されたように段差上部の側壁に堆積したシリコン酸化膜106がスパッタリングされ、矢印Bで示されたように反対側の側壁に再付着する。このようにして付着したシリコン酸化膜106により、オーバハング107が形成される。

【0009】そして、このまま成膜を続けていくと、スパッタリングによるシリコン酸化膜106の再付着がオーバハングを増長させていき、図3(e)に示されたように間口が塞がってボイド108が発生することとなる。

【0010】図3(f)のように、CMP(Chemical Mechanical Polishing)法により表面を平坦化していき、シリコン窒化膜103をストップとして平坦化処理を停止する。

【0011】図3(g)に示されたように、シリコン窒化膜103をエッチングにより除去する。

【0012】図3(h)のように、半導体基板101の表面上に突出したシリコン酸化膜106をエッチングにより除去する。

【0013】このようにして得られたシリコン酸化膜106の表面には、図3(h)に示されたようにボイド108が存在することになる。

【0014】特に、近年の微細化に伴って基板の表面部

分に形成した素子分離用の溝や、基板上の配線層間、あるいは電極間等の凹部がより狭く、かつ深くなっていく場合、スパッタリングによって側壁に再付着し成長するシリコン酸化膜の堆積速度が、凹部の底面で成長するシリコン酸化膜の堆積速度よりも速くなる。このように、高アスペクト比の凹部ではよりボイドが発生し易いという問題があった。

【0015】

【発明が解決しようとする課題】上述したように、従来は高アスペクト比の溝の内部や配線層間、電極間等の凹部を絶縁膜により埋め込む際に、絶縁膜のオーバハングが増長されてボイドが発生し易いという問題があった。

【0016】本発明は上記事情に鑑み、溝の内部や、配線層、電極間等の凹部をボイドの発生を招くことなく埋め込むことにより、歩留まりの向上に寄与し得る半導体装置の製造方法を提供することを目的とする。

【0017】

【課題を解決するための手段】本発明の半導体装置の製造方法は、半導体基板に設けられた溝、あるいは半導体基板上に形成された膜パターンによる凹凸部を表面に有する基板面の凹部に絶縁膜を埋め込む方法であって、前記凹部を途中の段階まで埋め込むように前記絶縁膜を堆積する第1の堆積工程と、前記絶縁膜により形成されたオーバハングをエッチングにより除去するエッチング工程と、前記エッチング工程の後に、さらに前記凹部を埋めるように前記絶縁膜を堆積する第2の堆積工程とを備えることを特徴とする。

【0018】前記エッチング工程では、前記凹部の側面に形成された前記絶縁膜をエッチングする速度と、前記凹部の底面に形成された前記絶縁膜をエッチングする速度とが略等しいように行っていく。

【0019】また前記エッチング工程では、前記絶縁膜が埋め込まれた前記凹部のアスペクト比が、前記第1の堆積工程により前記絶縁膜が埋め込まれる前の前記凹部におけるアスペクト比以下に、エッチングによって低下した段階でこのエッチングを停止することができる。

【0020】あるいは前記エッチング工程では、前記凹部の側面に形成された前記絶縁膜が残存する段階でエッチングを停止することが望ましい。

【0021】前記第1の堆積工程では、前記絶縁膜が堆積されて形成されたオーバハングが間口を塞がない段階で前記絶縁膜の堆積を停止することが望ましい。

【0022】また前記第1、第2の堆積工程では、シリコン酸化膜を高密度プラズマ化学的気相成長法により堆積してよい。前記エッチング工程では、等方性エッチングを用いてよい。

【0023】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。

【0024】図3(a)～図3(c)を用いて説明した

従来の方法と同様に、半導体基板1の表面部分に溝を形成する。即ち、半導体基板1の表面上に順にシリコン酸化膜2、シリコン窒化膜3を形成し、シリコン窒化膜3にパターニングを行って溝形成用のマスクを得る。このシリコン窒化膜3をマスクとして半導体基板1にR I E等のエッチングを行い、溝5を形成する。溝5の側壁及び底面にシリコン酸化膜4を形成する。

【0025】そして、溝5を埋めるように、HDP-CVD法によりシリコン酸化膜6を堆積していく。しかし上述したように、シリコン酸化膜6を堆積していく過程において、オーバハング7が形成される。このまま成膜を続けていくと、スパッタリングによるシリコン酸化膜6の再付着がオーバハングを増長させていき、間口が塞がってボイドが発生することとなる。

【0026】そこで、間口が塞がる前の段階で一旦成膜を停止する。この後、R I E、あるいはCDE (chemical downflow etching)等によって側壁におけるオーバハング7を除去することで間口を広げ、溝5のアスペクト比を低下させる。ここでR I Eを用いる場合に、通常のR I Eでは異方性エッチングであるため、側壁があまり除去されずに溝5の底面上のシリコン酸化膜6が多く除去される。即ち、図2(a)に示されたエッチングを行う前の段階におけるアスペクト比 b_1/a_1 と比較し、図2(b)に示されたエッチング後のアスペクト比 b_3/a_3 が殆ど低下していない。このため、この後シリコン酸化膜を堆積させると、間口が狭く高アスペクト比の形状が改善されていないのでボイドが発生し易くなる。

【0027】そこで、等方性エッチングに近づけたR I E、あるいは等方性エッチングであるCDEを用いることにより、側壁におけるエッチング速度と溝の底面上におけるエッチング速度とが略等しくなり、図1(b)に示されるような間口が広くアスペクト比の低い形状が得られる。即ち、図1(a)に示されたエッチングを行う前の段階におけるアスペクト比 b_1/a_1 と比較し、図1(b)に示されたエッチング後のアスペクト比 b_2/a_2 が低下し、埋め込みが容易な形状に改善される。R I Eを等方性エッチングに近づけるためには、一つの手法として通常のR I Eより高圧にすることが考えられる。例えば、通常のR I Eが約10mTorr以下であるとした場合、50～100mTorrというように圧力を高めることが考えられる。

【0028】ここで、溝5の側壁及び底面の両方において、半導体基板1へダメージが与えられることを防ぐため、溝5の内部に形成されたシリコン酸化膜6が除去されて基板表面が露出しない段階でエッチングを停止する必要がある。

【0029】一方で、アスペクト比 b_2/a_2 が少なくとも、図1(a)中に示されるシリコン酸化膜6の堆積を行う前の段階における溝5のアスペクト比 b_0/a_0

以下となり、溝5の形状が十分に改善された後にエッチングを停止することが望ましい。

【0030】この後、図1(c)に示されたように、HDP-CVD法により2回目のシリコン酸化膜8の成膜を行うことにより、ボイドの発生を防止しつつ埋め込むことが可能になる。

【0031】これ以降の工程は、図3(f)～図3(h)を用いて説明したように、CMP法等により表面を平坦化してシリコン窒化膜3をストップとして平坦化処理を停止し、シリコン窒化膜3をエッチングにより除去し、さらに半導体基板1の表面上に突出したシリコン酸化膜6、8をエッチングにより除去する。

【0032】このように、本実施の形態によれば、高アスペクト比の溝の内部を無添加シリコン酸化膜で埋め込む際に、オーバーハングで間口を塞がない程度までHDP-CVD法により成膜した後、RIEあるいはCDE法によってオーバーハングを選択的にエッチング除去して間口を広げる。その後、再びHDP-CVD法で成膜することにより、ボイドの発生を招くことなく溝を埋め込むことが可能であり、歩留まりの向上に寄与することができる。

【0033】上述した実施の形態は一例であって、本発明を限定するものではない。例えば、上記実施の形態では、半導体基板の表面部分に形成された溝を埋め込む場合を例にとって説明している。しかし、これに限らず、半導体基板上に導電膜パターンとして形成された配線層の間、あるいは電極間等の凹部を層間絶縁膜で埋め込む場合にも、本発明を同様に適用することができ、特に4.0以上の高アスペクト比を有する凹部に絶縁膜を埋め込む際に本発明は非常に有効である。また、上記実施

の形態では溝を埋め込む絶縁膜として無添加（ノンドーパ）シリコン酸化膜を用いているが、これに限らず絶縁膜であれば他の材料を用いてもよい。

【0034】

【発明の効果】以上説明したように、本発明の半導体装置の製造方法によれば、基板の表面部分に形成された溝、あるいは基板上に形成された配線層や電極間等の凹部を絶縁膜で埋め込む際に、1回目の成膜を一旦停止してエッチングにより側壁部のオーバーハングを選択的に除去して間口を広げた後、再び成膜することにより、凹部が高アスペクト比である場合にもボイドの発生を招くことなく埋め込むことが可能であり、歩留まりの向上に寄与することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態による半導体装置の製造方法を工程別に示す縦断面図。

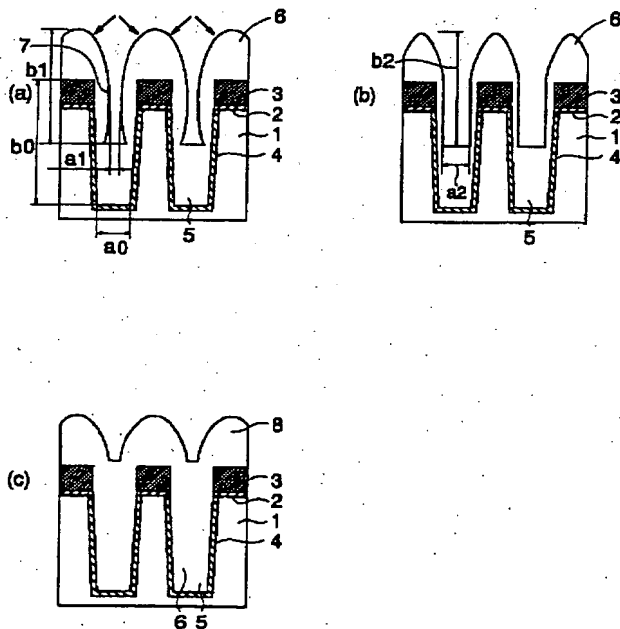
【図2】1回目の成膜工程により形成されたシリコン酸化膜に異方性エッチングを行った場合の形状の変化を示した縦断面図。

【図3】従来の半導体装置の製造方法を工程別に示す縦断面図。

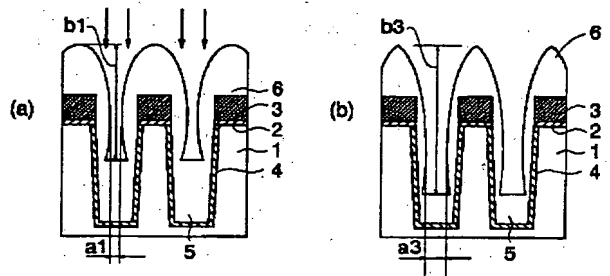
【符号の説明】

- 1 半導体基板
- 2、4 シリコン酸化膜
- 3 シリコン窒化膜
- 5 溝
- 6、8 シリコン酸化膜
- 7 オーバーハング

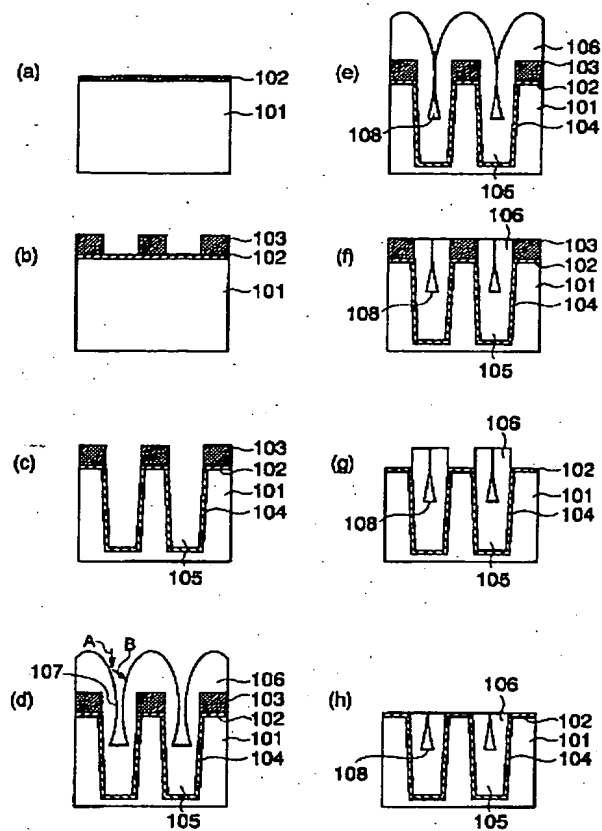
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 梶 成 彦
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

Fターム(参考) 5F032 AA35 AA44 AA45 AA70 DA04
DA25 DA26 DA78
5F033 QQ09 QQ11 QQ13 QQ18 RR04
SS15 XX00 XX02
5F058 BA02 BA20 BD01 BD04 BE04
BF07 BF61 BH12 BJ06

THIS PAGE BLANK (USPTO)